

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-104037

(43)Date of publication of application : 21.04.1995

(51)Int.Cl.

G01R 31/28
H01L 21/66

(21)Application number : 05-251259

(71)Applicant : NEC CORP

(22)Date of filing : 07.10.1993

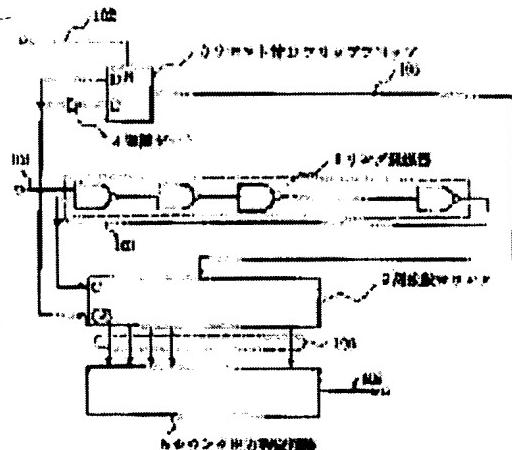
(72)Inventor : AKAGI KATSUTOSHI

(54) SEMICONDUCTOR INTEGRATED CIRCUIT

(57)Abstract:

PURPOSE: To reduce the number of pins required for an a.c. characteristic test by comparing and checking a frequency count output value value for measuring the oscillating frequency of a ring oscillator with a predetermined lower limit frequency preset VALUE to judge acceptance or rejection of an a.c. characteristic.

CONSTITUTION: A lock signal 101 is input to a ring oscillator 1. When a signal 101 is 'H', the oscillator 1 is in the oscillating state, and when it is 'L', oscillation is stopped. While the signal 101 is 'H' and the oscillator 1 is in the oscillating state, an oscillation output 103 is feedback-input to a first stage NAND circuit of the oscillator 1, and input to a clock input terminal C of a frequency counter 2. A signal 101 is input to a clock enable terminal CE of the counter 2, and when the signal 101 is 'H' and a counter reset signal 105 input from a DFF3 with reset is 'L', the counter 2 is put in the condition of counting clock input data. A count 106 output from the counter 2 is input to a counter output judging circuit 6.



LEGAL STATUS

[Date of request for examination] 25.03.1994

[Date of sending the examiner's decision of rejection] 16.07.1996

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of

[rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-104037

(43)公開日 平成7年(1995)4月21日

(51)Int.Cl.^b

G 0 1 R 31/28

H 0 1 L 21/66

識別記号

序内整理番号

F I

技術表示箇所

F 7630-4M

G 0 1 R 31/28

V

審査請求 有 請求項の数2 OL (全6頁)

(21)出願番号

特願平5-251259

(22)出願日

平成5年(1993)10月7日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 赤木 勝俊

東京都港区芝五丁目7番1号 日本電気株
式会社内

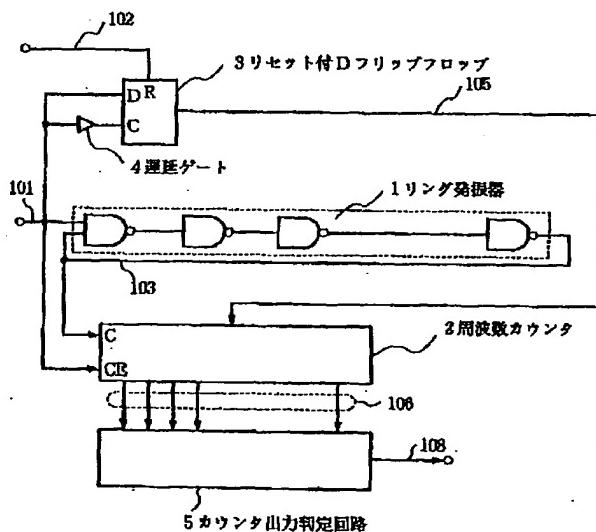
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 半導体集積回路

(57)【要約】

【目的】半導体集積回路の簡易な交流特性試験を実現するとともに、使用ピン数の削減を図る。

【構成】本発明の半導体集積回路は、交流特性を測定する内部回路を内蔵する半導体集積回路において、所定のクロック信号101を介して、当該半導体集積回路の交流特性測定用の発振信号を生成して出力するリング発振器1と、クロック信号101およびリセット信号102の入力に対応して、リング発振器1の発振周波数を計測して、当該発振周波数のカウント値を出力する周波数カウンタ2と、この周波数カウンタ2より出力される発振周波数のカウント値を入力し、当該カウンタ値を前記交流特性測定の周波数判定条件における下限周波数の規定ビット値と比較照合することにより、交流特性試験における周波数判定結果の合否判定を行うカウンタ出力判定回路5とを少なくとも前記内部回路として備えて構成される。



【特許請求の範囲】

【請求項1】 交流特性を測定する内部回路を内蔵する半導体集積回路において、所定のクロック信号を介して、前記交流特性測定用の発振信号を生成して出力するリング発振器と、前記クロック信号および所定のリセット信号の入力に対応して、前記リング発振器の発振周波数を計測し、当該発振周波数のカウント値を出力する周波数カウンタと、前記周波数カウンタより出力される発振周波数のカウント値を入力し、当該カウンタ値を前記交流特性測定の周波数判定条件における下限周波数の規定ビット値と比較照合することにより、当該交流特性試験における周波数判定結果の合否判定を行うカウンタ出力判定回路と、を少なくとも前記内部回路として備えることを特徴とする半導体集積回路。

【請求項2】 交流特性を測定する内部回路を内蔵する半導体集積回路において、所定のクロック信号を介して、前記交流特性測定用の発振信号を生成して出力するリング発振器と、前記クロック信号および所定のリセット信号の入力に対応して、前記リング発振器の発振周波数を計測し、当該発振周波数のカウント値を出力する周波数カウンタと、前記周波数カウンタより出力される発振周波数のカウント値を入力し、当該カウンタ値を、前記交流特性測定における複数の異なる周波数判定条件における下限周波数の規定ビット値とそれぞれ個別に比較照合することにより、当該交流特性試験における周波数判定結果の合否判定を、前記複数の異なる周波数判定条件に対応してランク区分して行うカウンタ出力判定回路と、を少なくとも前記内部回路として備えることを特徴とする半導体集積回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体集積回路およびその試験方法に関する。

【0002】

【従来の技術】 従来、半導体集積回路の交流的な特性を測定する場合には、測定対象の半導体集積回路としては、図5に示されるように、当該半導体集積回路内に予め測定用の内部回路が組込んでおき、交流特性の測定を簡易化する方法が行われている。

【0003】 図5の従来例における交流特性測定用の内部回路は、NAND回路を奇数段リング状に接続して形成されるリング発振器1と、周波数カウンタ2と、リセット付きDフリップフロップ3と、遅延ゲート4と、周波数カウンタ出力回路10とを備えて構成される。当該半導体集積回路の交流特性を測定する場合には、リング発振器1には、初段のAND回路に制御入力としてのクロック信号101が入力される。このクロック信号101が“H”レベルの時にはリング発振器1は発振状態と

なり、クロック信号101が“L”レベルの時には発振が停止される。クロック信号101が“H”レベルで、リング発振器1が発振している状態においては、リング発振器1の発振出力103は、リング発振器1の初段のNAND回路に帰還入力されるとともに、周波数カウンタ2のクロック入力端子Cに入力される。また、周波数カウンタ2のクロックイネーブル端子CEには、クロック信号101が入力されており、クロック信号101が“H”レベルであり、且つリセット付きDフリップフロップ3より入力されるカウンタリセット信号105が“L”レベルの時には、当該周波数カウンタ2においては、クロック入力データのカウント動作が可能な状態になる。

【0004】 一方、クロック信号101は、リセット付きDフリップフロップ3のデータ入力端子Dおよび遅延ゲート4にも入力されており、遅延ゲート4により遅延されたクロック信号は、リセット付きDフリップフロップ3のクロック入力端子Cに入力される。リセット付きDフリップフロップ3においては、リセット入力端子Rに入力されるリセット信号102が“H”レベルの時には、出力されるカウンタリセット信号105は常時“L”レベルとなり、この“L”レベルのカウンタリセット信号105を受けて、周波数カウンタ2は、任意の時間においてリセットされた状態となる。また、リセット信号102が“L”レベルの時点においては、クロック信号101が“L”レベルから“H”レベルに立ち上がる時点において、“H”レベルのデータがこのリセット付きDフリップフロップ3にセットされる。これにより、カウンタリセット信号105は、“L”レベルとなり、周波数カウンタ2のリセットが解除されてカウント開始が可能の状態となる。なお、遅延ゲート4は、クロック信号101のデータが、確実にリセット付きDフリップフロップ3にセットアップされるように、クロック信号101に所定の遅延時間を与えるために接続されている。

【0005】 即ち、クロック信号101が“H”レベルであり、且つカウンタリセット信号105が“L”レベルの時点においては、周波数カウンタ2においてはカウントが開始されて、当該カウント出力は、並列出力として周波数カウンタ出力回路10を介して外部に出力され、当該複数のカウント出力を直接外部において観測することにより、半導体集積回路の交流特性が測定される。

【0006】 また、特開昭60-89937号公報において提案されている集積回路装置においては、リング発振器の発振周波数を分周して周波数の計測を行っているが、基本的には上述した従来例そのものであり、周波数カウンタからは、複数の周波数カウント値が並列信号として出力されて、半導体集積回路の交流特性が測定されている。

【0007】

【発明が解決しようとする課題】上述した従来の半導体集積回路は、上述した特開昭60-89937号公報において提案されている集積回路装置をも含めて、交流特性測定用の内部回路において、周波数カウンタのカウント並列出力を直接半導体チップの外部に出力することにより、当該交流特性の測定を行っており、これにより、半導体集積回路における出力ビン数が増大するとともに、また、これに伴い半導体チップの占有面積が拡大するという欠点がある。

【0008】また、当該交流特性測定を半導体集積回路の製品試験計画の一環として考えた場合には、前述した従来の方法においては、周波数カウンタのカウンタ結果に対する合格・不合格の判定をLSIテスト等を用いて行っているために、煩雑なプログラミングが必要になるという欠点がある。

【0009】

【課題を解決するための手段】第1の発明の半導体集積回路は、半導体集積回路における交流特性を測定する内部回路を内蔵する半導体集積回路において、所定のクロック信号を介して、前記交流特性測定用の発振信号を生成して出力するリング発振器と、前記クロック信号および所定のリセット信号の入力に対応して、前記リング発振器の発振周波数を計測して、当該発振周波数のカウント値を出力する周波数カウンタと、前記周波数カウンタより出力される発振周波数のカウント値を入力し、当該カウンタ値を前記交流特性測定の周波数判定条件における下限周波数の規定ビット値と比較照合することにより、交流特性試験における周波数判定結果の合否判定を行うカウンタ出力判定回路と、を少なくとも前記内部回路として備えることを特徴としている。

【0010】また、第2の発明の半導体集積回路は、半導体集積回路における交流特性を測定する内部回路を内蔵する半導体集積回路において、所定のクロック信号を介して、前記交流特性測定用の発振信号を生成して出力するリング発振器と、前記クロック信号および所定のリセット信号の入力に対応して、前記リング発振器の発振周波数を計測し、当該発振周波数のカウント値を出力する周波数カウンタと、前記周波数カウンタより出力される発振周波数のカウント値を入力し、当該カウンタ値を、前記交流特性測定における複数の異なる周波数判定条件における下限周波数の規定ビット値とそれぞれ個別に比較照合することにより、当該交流特性試験における周波数判定結果の合否判定を、前記複数の異なる周波数判定条件に対応してランク区分して行うカウンタ出力判定回路と、を少なくとも前記内部回路として備えることを特徴としている。

【0011】

【実施例】次に、本発明について図面を参照して説明する。

【0012】図1は本発明における交流特性測定用の内部回路の第1の実施例を示すブロック図である。図1に示されるように、本実施例における交流特性測定用の内部回路は、NAND回路を奇数段リング状に接続して形成されるリング発振器1と、周波数カウンタ2と、リセット付きDフリップフロップ3と、遅延ゲート4と、カウンタ出力判定回路5とを備えて構成される。また、図2に示されるのは、本発明におけるカウンタ出力判定回路5の一実施例を示す回路図であり、周波数カウンタ2より出力されるカウント出力106に対応して、当該カウンタ出力判定回路5は、規格値設定回路6と、NAND回路7とにより形成されている。

【0013】当該半導体集積回路の交流特性を測定する場合には、従来例の場合と同様に、リング発振器1には、初段のAND回路に制御入力としてのクロック信号101が入力される。このクロック信号101が“H”レベルの時にはリング発振器1は発振状態となり、クロック信号101が“L”レベルの時には発振が停止される。クロック信号101が“H”レベルで、リング発振器1が発振している状態においては、リング発振器1の発振出力103は、リング発振器1の初段のNAND回路に帰還入力されるとともに、周波数カウンタ2のクロック入力端子Cに入力される。また、周波数カウンタ2のクロッククイネーブル端子CEには、クロック信号101が入力されており、クロック信号101が“H”レベルであり、且つリセット付きDフリップフロップ3より入力されるカウンタリセット信号105が“L”レベルの時には、当該周波数カウンタ2においては、クロック入力データのカウント動作が可能な状態になる。

【0014】図2において、周波数カウンタ2より出力されるカウント出力106は、カウンタ出力判定回路5に含まれる規格値設定回路6に入力される。規格値設定回路6においては、当該交流特性測定における測定対象の下限周波数fの規定値として、当該下限周波数fに対応するカウント出力106の上位のN(正整数)ビット分が、規格値設定信号107を介して選定される。なお、この場合において、前記下限周波数fの規定値としては、上位のNビットがそれぞれ「1」となる状態を以って規定されるものとする。今、数値例として、周波数カウンタ2より出力されるカウント出力106のビット数を10とし、前記上位ビット数をN=4として、下限周波数の規定値をf=960MHzに設定するものとすると、規格値設定回路6においては、カウント出力106[1111*****]の下位の6ビット分は全て無視されて、上位4ビットが[1111]の数値以上の分のカウント出力106が選定されて出力される。即ち、この上位4ビットの[1111]の数値以上のカウント出力のみが選択されてNAND回路7に入力される。これにより、前記上位4ビット分を除く下位ビットは、全て規格値設定回路6よりの出力が遮断されて、そ

れらの出力はオープン状態となる。NAND回路7においては、前記上位4ビットが全て「1」として出力される場合には、判定出力信号108として“L”レベルが出力されて判定結果は「合格」となり、また、当該上位4ビットの中に一つでも「0」が含まれている場合には、判定出力信号108として“H”レベルが出力され、判定結果は「不合格」となる。

【0015】従って、本実施例においては、簡易なカウンタ出力判定回路5を設けることにより、判定出力用の出力ピン数を著しく削減することが可能になるとともに、周波数判定における合否の判定処理が極めて容易であり、半導体集積回路の交流特性試験を極めて簡便に実現することができる。

【0016】図3は、本発明における交流特性測定用の内部回路の第2の実施例を示すブロック図である。図3に示されるように、本実施例における交流特性測定用の内部回路は、NAND回路を奇数段リング状に接続して形成されるリング発振器1と、周波数カウンタ2と、リセット付きDフリップフロップ3と、遅延ゲート4と、カウンタ出力判定回路5とを備えて構成される。また、図4に示されるのは、本発明におけるカウンタ出力判定回路5の一実施例を示す回路図であり、周波数カウンタ2より出力されるカウント出力106に対応して、当該カウンタ出力判定回路5は、規格別判定回路8-1、8-2、………、8-nと、セレクタ9とにより形成されている。

【0017】当該半導体集積回路の交流特性を測定する場合には、第1の実施例の場合と同様に、リング発振器1には、初段のAND回路に制御入力としてのクロック信号101が入力される。このクロック信号101が“H”レベルの時にはリング発振器1は発振状態となり、クロック信号101が“L”レベルの時には発振が停止される。クロック信号101が“H”レベルで、リング発振器1が発振している状態においては、リング発振器1の発振出力103は、リング発振器1の初段のNAND回路に帰還入力されるとともに、周波数カウンタ2のクロック入力端子Cに入力される。また、周波数カウンタ2のクロックイネーブル端子CEには、クロック信号101が入力されており、クロック信号101が“H”レベルであり、且つリセット付きDフリップフロップ3より入力されるカウンタリセット信号105が“L”レベルの時には、当該周波数カウンタ2においては、クロック入力データのカウントが可能な状態になる。

【0018】図4において、周波数カウンタ2より出力されるカウント出力106は、カウンタ出力判定回路5に含まれる規格別判定回路8-1、8-2、………、8-nに分岐入力される。規格別判定回路8-1、8-2、………、8-nにおいては、予め交流特性測定における下限周波数の規定値が、それぞれf1、f2、…

………、fnとして設定されており、周波数カウンタ2より出力されるカウント出力106の上位ビットのNビット分が、それぞれの規格別判定回路8-i (i=1、2、………、n) の下限周波数の規定値のfi以上である場合には、当該規格別判定回路8-iからは常に“L”レベルが出力され、また逆に下限周波数の規定値のfi未満である場合には、当該規格別判定回路8-iからは“H”レベルが出力されよう論理形成されている。例えば、一数値例として、周波数カウンタ2より出力されるカウント出力106のビット数を10とし、前記上位ビット数をN=5として、規格別判定回路8-1および8-2における下限周波数の規定値f1およびf2を、それぞれf1=976MHzおよびf2=480MHzに設定すると、規格別判定回路8-1においては、カウント出力106 [11110*****] の下位の5ビットは無視されて、上位5ビットが[11110]の数値以上のカウント出力106が入力される場合には、論理演算を介して常に判定出力信号108-1として“L”レベルが出力されて判定結果は「合格」となり、また、当該上位5ビットのカウント出力106が[11110]の数値未満となる場合には、論理演算を介して判定出力信号108-1として“H”レベルが出力されて判定結果は「不合格」となる。同様に、規格別判定回路8-2においては、カウント出力106 [01111*****] の下位の5ビットは無視されて、上位5ビットが[01111]の数値以上のカウント出力106が入力される場合には、論理演算を介して常に判定出力信号108-2として“L”レベルが出力されて判定結果は「合格」となり、また、当該上位5ビットのカウント出力106が[01111]の数値未満となる場合には、論理演算を介して判定出力信号108-2として“H”レベルが出力され、判定結果は「不合格」となる。このことは、他の規格別判定回路8-iにおいても全く同様であり、それぞれの規格別判定回路8-i (i=1、2、………、n) より出力される判定出力信号108-i (i=1、2、………、n) は、それぞれセレクタ9に入力される。

【0019】セレクタ9においては、外部より入力される規格変更信号109により制御されて、ランク区分された規格別判定信号群110が出力される。この場合、規格変更信号109は複数ビットにより構成されており、セレクタ9に入力される判定出力信号108-1、108-2、………、108-nは、当該規格変更信号109におけるビットの組合せにより、セレクタ9より出力される各規格別判定信号に対応する出力端子(OUT₁、OUT₂、OUT₃、………、OUT_m)が任意に選択調整される。従って、本実施例においては、下限周波数の各規定値ごとにランク区分された判定出力信号が、それぞれ出力端子OUT₁、OUT₂、OUT₃、………、OUT_m等より適宜選択

されて出力される。これにより半導体集積回路の交流特性試験を簡便に実現することができるとともに、外部からの規格変更信号により規格値の異なる判定出力信号を適宜選択して出力することが可能となるため、半導体集積回路の交流特性試験における規格値変更等の要求に対して迅速に対応することが可能となる。

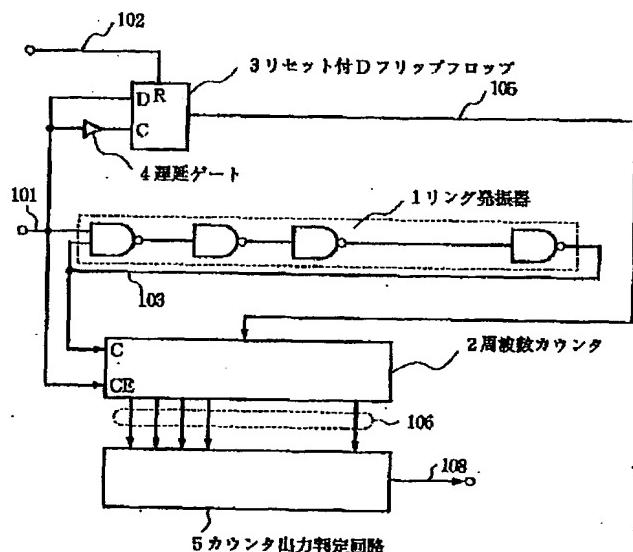
【0020】

【発明の効果】以上説明したように、本発明は、半導体集積回路の交流特性の試験時において、当該半導体集積回路内に、リング発振器の発振周波数を計測する周波数カウンタの周波数カウント出力値を、所定の下限周波数設定値と比較照合して交流特性の合否を判定する手段を設けることにより、当該交流特性試験に必要とされるピント数を削減することが可能になるとともに、より簡便に交流特性試験を実施することができるという効果がある。

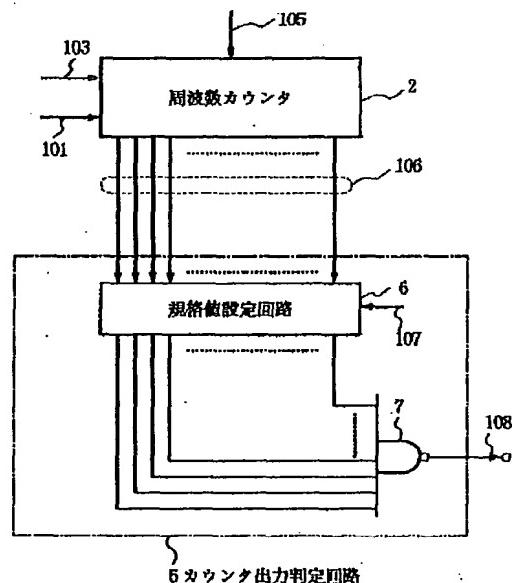
【図面の簡単な説明】

【図1】本発明の第1の実施例を示すブロック図である。

【図1】



【図2】



【図2】第1の実施例におけるカウンタ出力判定回路の一実施例を示すブロック図である。

【図3】本発明の第2の実施例を示すブロック図である。

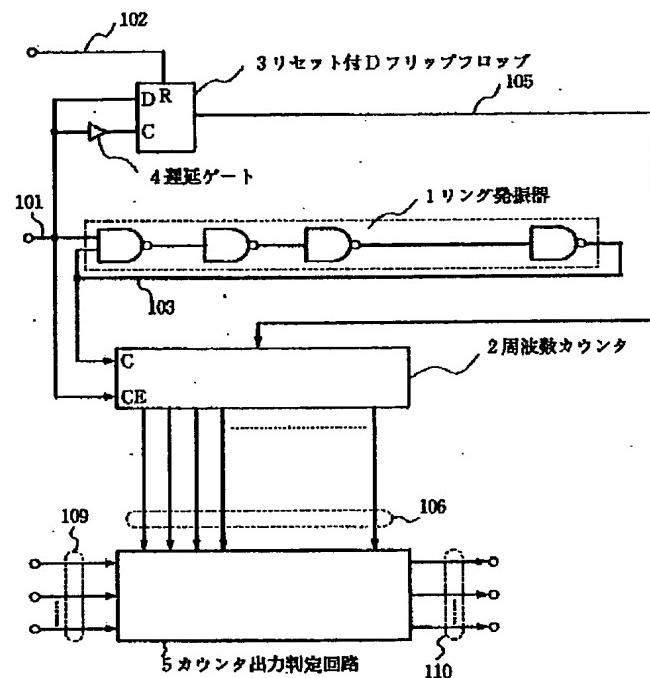
【図4】第2の実施例におけるカウンタ出力判定回路の一実施例を示すブロック図である。

【図5】従来例を示すブロック図である。

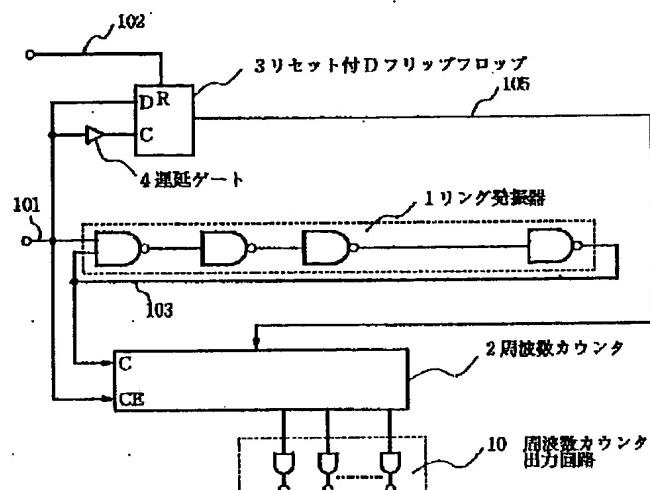
【符号の説明】

- | | |
|-----------|-----------------|
| 1 | リング発振器 |
| 10 | 周波数カウンタ |
| 2 | リセット付きDフリップフロップ |
| 3 | 遅延ゲート |
| 4 | カウンタ出力判定回路 |
| 5 | ピット選択回路 |
| 6 | NAND回路 |
| 8-1 ~ 8-n | 規格別判定回路 |
| 9 | セレクタ |
| 10 | 周波数カウンタ出力回路 |

【図3】



【図5】



【図4】

